

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 04067650
PUBLICATION DATE : 03-03-92

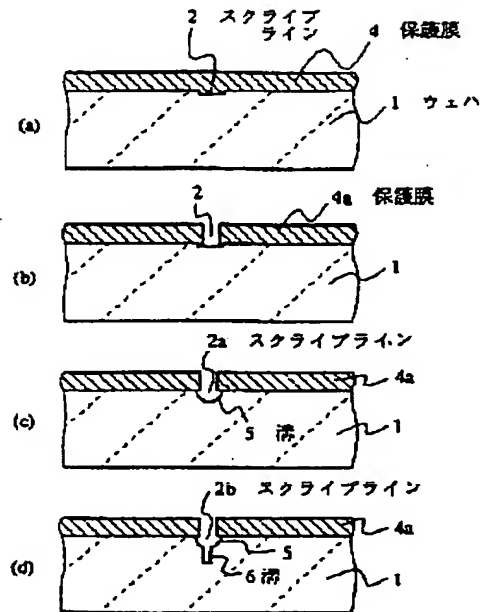
APPLICATION DATE : 09-07-90
APPLICATION NUMBER : 02181002

APPLICANT : NEC KYUSHU LTD;

INVENTOR : MIYAWAKI YOSHIKI;

INT.CL. : H01L 21/78

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : **PURPOSE:** To reduce the cuttings of a semiconductor substrate and to prevent cracks from occurring in the substrate around a chip region by a method wherein a groove is provided to a wafer along a scribe line provided around a semiconductor chip through an isotropic etching, and another groove is provided to the former groove through an anisotropic etching.

CONSTITUTION: A protective film 4 is formed on the whole surface of a wafer provided with a scribe line 2 of shallow groove formed around a semiconductor chip region through a diffusion process. The protective film 4 formed on the scribe line 2 is so removed through etching as to leave a protective film 4a unremoved on the surface of the semiconductor chip region. Using the protective film 4a as a mask, a groove 5 is formed through an isotropic etching. By this setup, a scribe line 2a composed of the shallow groove formed through a diffusion process and the groove 5 formed through an isotropic etching is provided. Using the protective film 4a as a mask again, a groove 6 is provided through an anisotropic etching. By these processes, a scribe line 2b composed of the shallow groove formed through a diffusion process, the groove 5 formed through an isotropic etching, and the groove 6 formed through an anisotropic etching is formed.

COPYRIGHT: (C)1992,JPO&Japio

BEST AVAILABLE COPY

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-67650

⑤ Int. Cl.³

H 01 L 21/78

識別記号

S

庁内整理番号

6940-4M

⑬ 公開 平成4年(1992)3月3日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平2-181002

⑯ 出 願 平2(1990)7月9日

⑰ 発 明 者 宮 脇 良 誠

熊本県熊本市八幡町100番地 九州日本電気株式会社内

⑱ 出 願 人 九州日本電気株式会社

熊本県熊本市八幡町100番地

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体装置の製造方法

特 許 請 求 の 範 囲

ウェハ状態における半導体装置の製造方法において、

半導体チップ領域の表面に保護膜を形成する工程と、

前記半導体チップ領域周辺のスクライブラインに、等方性エッチングによる溝を形成する工程と、

前記スクライブラインに、異方性エッチングによる溝を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特にダイシングに供するウェハ状態の半導体装置に関する製造方法における半導体チップ領域表面およびスクライブラインの形状の製造方法に関する。

(従来の技術)

従来、ダイシング前段階におけるウェハ状態の半導体装置(以後、ウェハと略称する)は、第3図に示す縦断面図のように、単にウェハ1表面における半導体チップ領域周辺に拡散工程により形成された浅い溝からなるスクライブライン2を有していた。

(発明が解決しようとする課題)

上述したウェハ1に対して、例えばダイヤモンドブレード3によりダイシングを行なう場合、半導体装置を構成する半導体基板のくずが発生しやすく半導体チップ領域の表面を損傷したり、半導体チップ領域周辺近傍における半導体基板のクラックを生じやすいという欠点があった。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、

特開平4-67650(2)

半導体チップ領域周辺のスクライブラインに、等方性エッチングによる溝を形成する工程と、

スクライブラインに、異方性エッチングによる溝を形成する工程と、

を有している。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)～(d)は、本発明の一実施例を説明するための工程順の縦断面図である。

まず、第1図(a)に示すように、半導体チップ領域周辺に拡散工程により形成された浅い溝からなるスクライブライン2を有するウェハ1の全面に、保護膜4を塗布形成する。

次に、第1図(b)に示すように、スクライブライン2上の保護膜4をエッチング除去し、半導体チップ領域の表面に保護膜4aを残す。

続いて、第1図(c)に示すように、保護膜4aをマスクに用い、等方性エッチングにより溝5を形成する。これにより、拡散工程により形成された浅い溝、並びに等方性エッチングによる溝5

からなるスクライブライン2aが形成される。なお、等方性エッチングは、ウェットエッチングもしくは等方性プラズマエッチングが好ましい。

引き続いて、第1図(d)に示すように、再び保護膜4aをマスクに用い、異方性エッチングにより溝6を形成する。これにより、拡散工程により形成された浅い溝、等方性エッチングによる溝5、並びに異方性エッチングによる溝6からなるスクライブライン2bが形成される。なお、異方性エッチングとしては、例えば反応性イオンエッチング(RIE)を用いる。

第2図に示す縦断面図は、本実施例により得られた半導体装置に対し、ダイシングに適用したときの図である。スクライブライン2bにおいてダイヤモンドグレード3は、図示したように、溝5、溝6により形成された深い溝によりガイドされることになる。

ダイシング後、保護膜4aは除去され、続いて半導体チップのブレイキングが行なわれる。

〔発明の効果〕

以上説明したように本発明は、ダイシングに供するウェハ状態の半導体装置の製造方法において、半導体チップ領域の表面を保護膜で覆い、半導体チップ領域周辺のスクライブラインには前記の保護膜をマスクに用いて等方性、および異方性エッチングを行ない、スクライブラインの部分に深い溝を形成している。

このため、ダイシングの時点で、ダイヤモンドグレードが深い溝にガイドされるため、半導体装置を構成する半導体基板のくずの発生、および半導体チップ領域周辺近傍における半導体基板のクラックの発生は低減する。また、よしんばくずが発生しても、半導体チップ領域表面は保護膜により覆われているため、これによる半導体チップ領域表面の損傷は生じない。

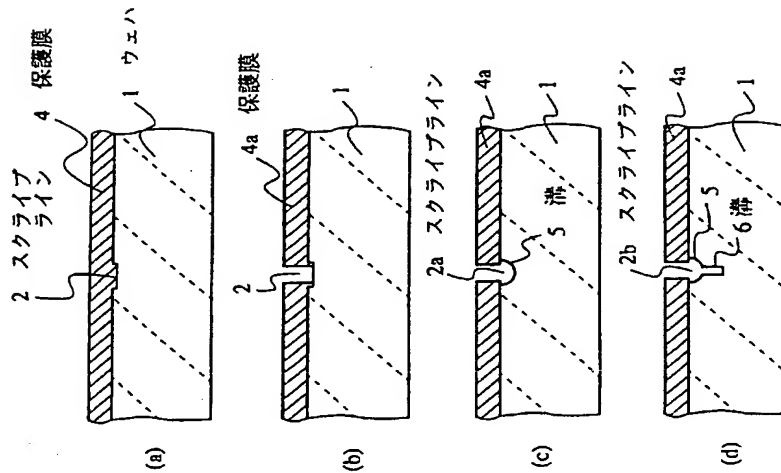
図面の簡単な説明

第1図(a)～(d)は本発明の一実施例を説明するための工程順の縦断面図、第2図は本発明の一実施例の適用例を説明するための縦断面図、

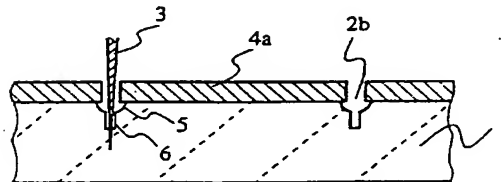
第3図は従来の技術を説明するための縦断面図である。

1…ウェハ、2、2a、2b…スクライブライン、3…ダイヤモンドグレード、4、4a…保護膜、5、6…溝。

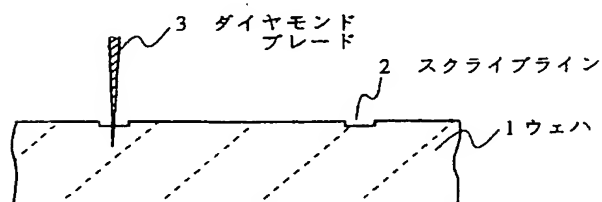
代理人 弁理士 内 原 晋



第1図



第2図



第3図